

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173230

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 33/00

(21)Application number : 08-352156

(71)Applicant : TOYODA GOSEI CO LTD

(22)Date of filing : 11.12.1996

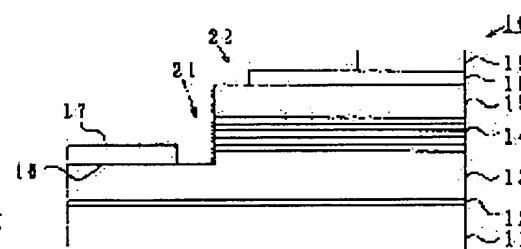
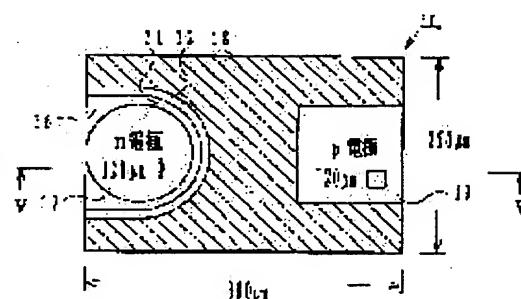
(72)Inventor : SHIBATA NAOKI
HIRANO ATSUO

(54) LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To relieve the uneven distribution of the luminous intensity of a light emitting element even on a lens by relieving the uneven distribution of the H-shaped light emitting surface of the element by arranging an n-electrode in one hollow of the H of the light emitting surface and a p-electrode in the other hollow.

SOLUTION: A light emitting diode 10 has an H-shaped light emitting surface and electrodes 17 and 19 are respectively arranged in the hollows of the H of the surface. The diode 10 is constituted by successively forming a buffer layer 12, an n-type first semiconductor layer 13, a light emitting layer 14 having a superlattice structure, and a p-type second semiconductor layer 15 on a sapphire substrate 11. An AlInGaN layer having a wide band gap and doped with an acceptor of magnesium, etc., is interposed between the light emitting layer 14 and second semiconductor layer 15 so as to prevent the diffusion of the electron injected into the light emitting layer 14 to the semiconductor layer 15. In addition, since the light emitting surface of the diode 10 spreads to both sides of the electrodes 17 and 19, the light emitting surface is more uniformly distributed and the uneven distribution of the luminous intensity of the diode can be relieved.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection] 23.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision 2002-09134
of rejection]

[Date of requesting appeal against examiner's 22.05.2002
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a light emitting device by which n electrode is connected on the 1st [of n mold] semiconductor layer, and p electrode is connected on the 2nd [of p mold] semiconductor layer, and said n electrode and p electrode are formed in the same field side A light emitting device characterized by what a luminescence side is abbreviation zygal-like, said n electrode is arranged at one side of a portion of this hollow of H characters, and said p electrode is arranged for on another side.

[Claim 2] A light emitting device according to claim 1 characterized by an outline of said light emitting device being a rectangle in plane view substantially.

[Translation done.]

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

Continued on the next page

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to a light emitting device. Furthermore, it is related with the configuration of the electrode of a semiconductor light emitting device in detail.

[0002]

[Description of the Prior Art] Since it is a direct transition mold and luminous efficiency emits light in the blue which is one [high and] in three primary colors of the light, 3 group nitride semiconductor which consists of $\text{AlXInYGa}_{1-X}\text{YN}$ ($X=0$, $Y=0$, and $X=Y=0$ are included) attracts attention especially these days as a light emitting device, for example, a formation material of light emitting diode.

[0003] Generally the above-mentioned 3 group nitride semiconductor which constitutes a light emitting device is formed on insulating silicon on sapphire. Therefore, an electrode cannot be taken out from a substrate side but the electrode of a pair will be formed in a field [in which the semiconductor layer was formed] side. Thus, from the standpoint which can make the chip size small, the constituted light emitting device turns a substrate down, and is attached in reflecting plates, such as a leadframe. And wire bonding is given, respectively on the electrode of the pair arranged on the upper surface, i.e., n electrode, and p electrode.

[0004] Moreover, according to the electrode configuration indicated by invention proposed in JP,6-338632,A, n electrode is a **** round shape from a plane, and p electrode is a **** square from a plane.

[0005]

[Problem(s) to be Solved by the Invention] However, in these days, it is required that high integration of a semiconductor light emitting device, i.e., a chip size, should be made smaller. On the other hand, in order to perform wire bonding certainly, fixed magnitude (for example, a circular electrode the electrode of the diameter of 100 micrometers or more and a square 100 micrometers or more per side) is required of an electrode. Therefore, if the chip size of a light emitting device is made small, a luminescence side comes to be unevenly distributed on a chip.

[0006] For example, in the light emitting device 1 of the example of examination shown in drawing 1, the portion which performed hatching is the luminescence side 2. As one side is the chip of the square which is 300 micrometers, and this element of two side of ***** is pinched from a plane at the time of ****, and the circular n electrode (diameter of 120 micrometers) 3 is arranged and it is inserted into two sides besides *****, as for the light emitting device 1 of this example of examination, the square p electrode (120 micrometers per side) 4 is arranged. Since the rate of surface ratio which each electrode occupies on the chip upper surface is large, a luminescence side is unevenly distributed as drawing shows.

[0007] The mold of this light emitting device is carried out into the lens of the semi-sphere formed by transparence resin, such as epoxy resin, or a warhead configuration (refer to drawing 7). Drawing 2 is the plan of the lens 34 which carried out the mold of the light emitting device 1. Drawing 3 shows the profile of the luminescence reinforcement on the A-A line in drawing 2, and a B-B line. This lens 34 is arranged two-dimensional and a display etc. is formed.

THIS PAGE BLANK (USPTO)

[0008] However, the maldistribution of the luminescence reinforcement which is directive in the surface of a lens 34 arises as it is shown in drawing 2 and 3, when a luminescence side is unevenly distributed as mentioned above. The maldistribution of the strong luminescence reinforcement of such directivity is not desirable on the design of a display.

[0009]

[Means for Solving the Problem] In a light emitting device by which this invention is made that this technical problem should be solved, n electrode is connected on the 1st [of n mold] semiconductor layer, and p electrode is connected on the 2nd [of p mold] semiconductor layer, and n electrode and p electrode are formed in the same field side A luminescence side is abbreviation zygal-like and it is the light emitting device characterized by what n electrode is arranged at one side of a portion of this hollow of H characters, and p electrode is arranged for on another side.

[0010]

[Function and Effect of the Invention] According to the light emitting device constituted as mentioned above, since the luminescence side is made into the shape of zygal, the maldistribution of a luminescence side is eased, and the maldistribution of luminescence reinforcement is eased on a lens. Moreover, although the maldistribution of luminescence reinforcement remains, since it is eased sharply, the directivity will become desirable on a design.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing based on an example. Drawing 4 is the plan of the light emitting diode 10 of the example of this invention, and drawing 5 is a V-V line cross section in drawing 4. each of the shorter side to which light emitting diode 10 is a substantial rectangle, and the outline of ***** carries out phase opposite from a plane as shown in drawing 4 -- as each shorter side is touched, the n electrode 17 and the p electrode 19 are formed in the center. The translucency electrode 18 used as a substantial luminescence side turns between the n electrode 17 and each long side and between the p electrode 19 and each long side. If it puts in another way, the luminescence side will carry out the shape of zygal, and it will be the configuration that each electrodes 17 and 19 are arranged at the portion of the hollow of the pair of H characters.

[0012] This light emitting diode 10 is the configuration which carried out the laminating of a buffer layer 12, the 1st semiconductor layer 13 of n mold, the luminous layer 14 of a superstructure, and the 2nd semiconductor layer 15 of p mold one by one on silicon on sapphire 11 as it is shown in drawing 5. The semiconductor layer 13 thru/or 15 are formed by AlInYGa_{1-X}YN (X= 0, Y= 0, and X=Y=0 are included).

[0013] The concrete spec. of each semiconductor layer is as follows.

Buffer layer 12 : AlN (50nm)

1st semiconductor layer 13 : Si dope GaN (2200nm),

Luminous layer 14 : Quantum well layer; In_{0.16}Ga_{0.84}N (3.5nm) Barrier layer ; GaN (3.5nm)

The number of repeats of a quantum well layer and a barrier layer; 5

2nd semiconductor layer 15 : Mg dope GaN (75nm)

[0014] In the above, the 1st semiconductor layer 13 of n mold can be made into the two-layer structure which consists of n layers of low concentration of electrons by the side of a luminous layer, and a high concentration-of-electrons n⁺ layer by the side of a buffer layer. A luminous layer 14 is not limited to the thing of a superstructure, but a terrorism mold can be used to a single and it can use the thing of a terrorism mold and a gay assembling die etc. to double. The large AlInYGa_{1-X}YN (X= 0, Y= 0, and X=Y=0 are included) layer of the band gap which doped acceptors, such as magnesium, can be made to intervene between a luminous layer 14 and the 2nd semiconductor layer 15 of p mold. This is for preventing that the electron poured in into the luminous layer 14 is spread in the 2nd semiconductor layer 15 of p mold. The 2nd semiconductor layer 15 of p mold can be made into the two-layer structure which consists of p layers of low hole concentration by the side of a luminous layer, and a high hole concentration p⁺ layer by the side of an electrode.

THIS PAGE BLANK (USPTO)

[0015] The semiconductor layers 12-15 on a substrate 11 are formed of organometallic compound vapor growth (henceforth the "MOVPE method"). In this grown method, ammonia gas and the alkyl compound gas of 3 group element, for example, trimethylgallium, (TMG), trimethylaluminum (TMA), and trimethylindium (TMI) are supplied on the substrate heated by suitable temperature, a pyrolysis reaction is carried out, it has, and a desired crystal is grown up on a substrate. Since the formation method of these semiconductor layer using the MOVPE method is common knowledge, explanation of the concrete condition is omitted. For details, please refer to a JP,8-97471,A official report etc.

[0016] Reactive ion etching is given to the semiconductor layer structure object obtained as mentioned above, a part of 2nd semiconductor layer 15 of p mold, luminous layer 14, and 1st semiconductor layer 13 of n mold are removed, and the electrode forming face 16 is obtained. This electrode forming face 16 is prolonged from the plane to the center of the center of the shorter side of 1 to an element in the element at the time of ****.

[0017] Then, aluminum (aluminum) is vapor-deposited and the n electrode 17 is formed in the substantial round shape whose diameter is 120 micrometers. The thickness of the n electrode 17 is 1.5 micrometers. In addition, before vapor-depositing aluminum, V (vanadium), Nb (niobium), Zr (zirconia), Cr (chromium), etc. can also be made to vapor-deposit as a substrate layer. Between the n electrode 17 and an etching wall surface, the 1st path clearance 21 of 10-micrometer width of face is formed. Moreover, the n electrode 17 is arranged so that the periphery may touch a substantial center section in the shorter side of 1 of an element. This is for making small area of the luminescence side which decrease in number with the n electrode 17 as much as possible.

[0018] Next, the translucency electrode 18 is vapor-deposited in thickness of 10nm to up to the 2nd semiconductor layer 15 of p mold. In addition, the 2nd path clearance 22 of 10-micrometer width of face is formed between the translucency electrode 18 and an etching wall surface.

[0019] And one side of **** vapor-deposits the square p electrode 19 from a plane to up to the translucency electrode 18 on the real target which is 120 micrometers. The thickness of the p electrode 19 is 1.5 micrometers. The p electrode 19 is formed as a center section touched in other shorter sides of an element in one of them. This is for enlarging the distance between an electrode 17 and 19 and doing a bonding activity easy.

[0020] As for this p electrode 19 and the translucency electrode 18, being formed with the same metallic material is desirable. Although these were formed by Au(gold) in this example, the alloy containing Pt (platinum), Pd (palladium), nickel (nickel), Co (cobalt), and these can be used.

[0021] Drawing 6 shows the deformation mode of the example of drawing 4. In here, make the n electrode 170 into a substantial square, and let the p electrode 190 be a substantial round shape. In drawing 6, the same drawing sign is given to the same member as drawing 4, and the explanation is omitted partially. When an element is designed like drawing 6, a larger area of a translucency electrode can be taken compared with the thing of drawing 4.

[0022] The configurations of the n electrode 17 and the p electrode 19 are not limited to the illustrated round shape or square. In the image processing at the time of a wire-bonding activity, if both classification and location can be pinpointed, the configuration of each electrode can be made into a triangle, quadrangles (a rectangle, a rhombus, a parallelogram, trapezoid, etc.), a hexagon, or an octagon, for example.

[0023] Thus, it heat-treats by making the formation material of n electrode and p electrode vapor-deposit on a semiconductor layer, and considers as each electrode. Then, a semiconductor wafer is carved for every element and it considers as desired light emitting diode.

[0024] As this light emitting diode 10 is shown in drawing 7, it is fixed to a pedestal 31 and bonding of the wires 32 and 33 is carried out to the n electrode 17 and the p electrode 19, respectively. Then, a lens 34 is formed with an epoxy resin with mold shaping.

[0025] Drawing 8 is the plan of the lens 34 which carried out the mold of the light emitting diode 10 of an example. Drawing 9 shows the profile of the luminescence reinforcement on the A-A line in drawing 8, a B-B line, a C-C line, and D-D line. The maldistribution of the luminescence reinforcement corresponding to a zygal-like luminescence side arises also on this lens 34 as

THIS PAGE BLANK (USPTO)

drawing 9 shows. However, the maldistribution of this luminescence reinforcement and the directivity of that maldistribution will become smaller than it (refer to drawing 3) which appeared in the element 1 of the example of examination. This is because according to the element of an example a luminescence side turns to both the sides (it fluctuates in drawing 4) of each electrodes 17 and 19, has and the luminescence side is distributed more over homogeneity on the element upper surface.

[0026] Moreover, compared with what is a square, the gap of n electrode and p electrode can be made large by making the outline of an element into a rectangle from a plane at the time of ****. Thereby, a bonding activity is done easy.

[0027] This invention is not limited to the publication of the gestalt of implementation of the above-mentioned invention, and an example at all, and includes the various deformation modes this contractor can hit on an idea of in the range which does not deviate from a claim. For example, a translucency electrode can be abolished if a GaAs system semiconductor is used.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the plan of the light emitting device of the example of examination.

[Drawing 2] Drawing 2 is the plan showing the luminescence condition of a lens that the mold of the light emitting device of the example of examination was carried out.

[Drawing 3] Drawing 3 is drawing showing the profile of the luminescence reinforcement of the light emitting device of the example of examination.

[Drawing 4] Drawing 4 is the plan of the light emitting diode of the example of this invention.

[Drawing 5] Drawing 5 is this cross section (the V-V line in drawing 4 shows).

[Drawing 6] Drawing 6 is the plan of the light emitting diode of the deformation mode of this invention.

[Drawing 7] Drawing 7 is the cross section showing the condition of the light emitting diode of the example by which mold was carried out to the lens.

[Drawing 8] Drawing 8 is the plan showing the luminescence condition of a lens that the mold of the light emitting diode of an example was carried out.

[Drawing 9] Drawing 9 is drawing showing the profile of the luminescence reinforcement of the light emitting diode of an example.

[Description of Notations]

1 Ten Light emitting device

2 18 Luminescence side

3 17,170 n electrode

4 19,190 p electrode

11 Substrate

12 Buffer Layer

13 Semiconductor Layer of N Mold

14 Luminous Layer

15 Semiconductor Layer of P Mold

18 Translucency Electrode

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

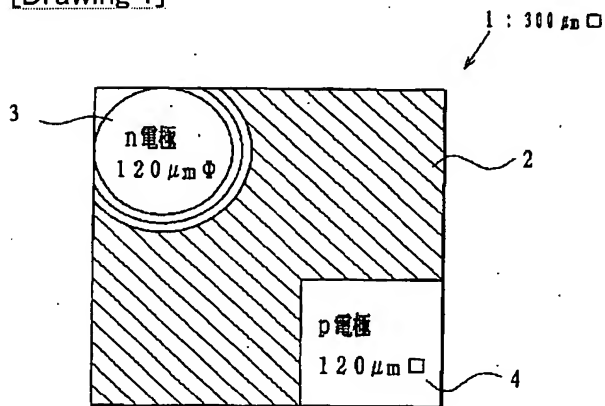
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

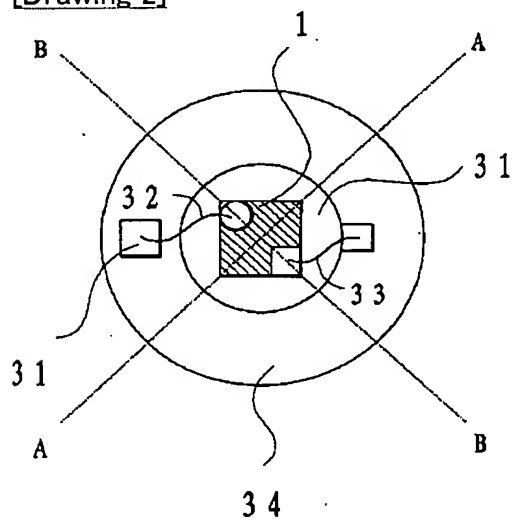
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

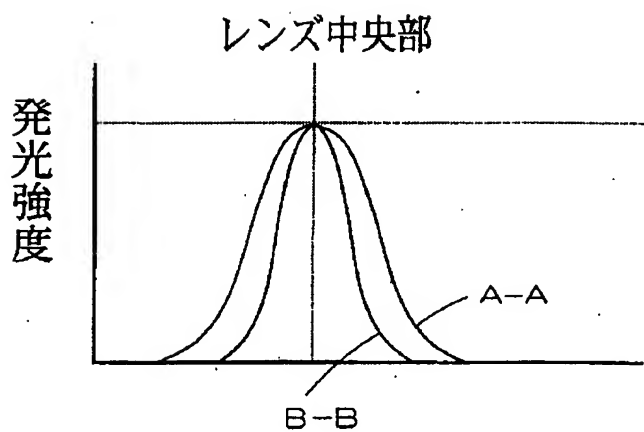


[Drawing 2]

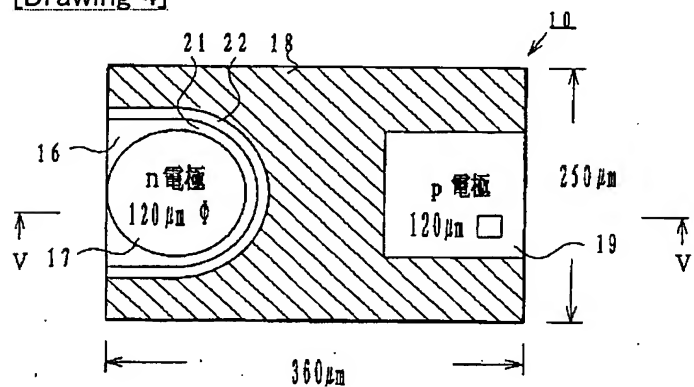


[Drawing 3]

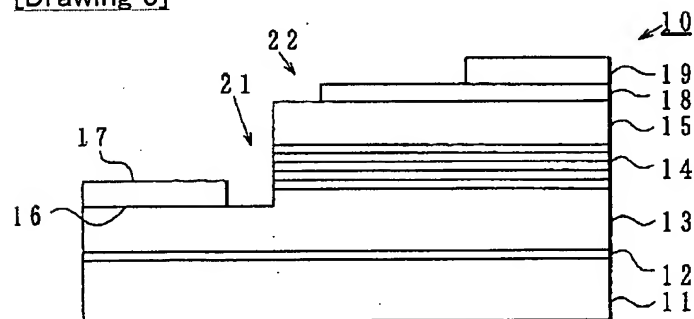
THIS PAGE BLANK (USPTO)



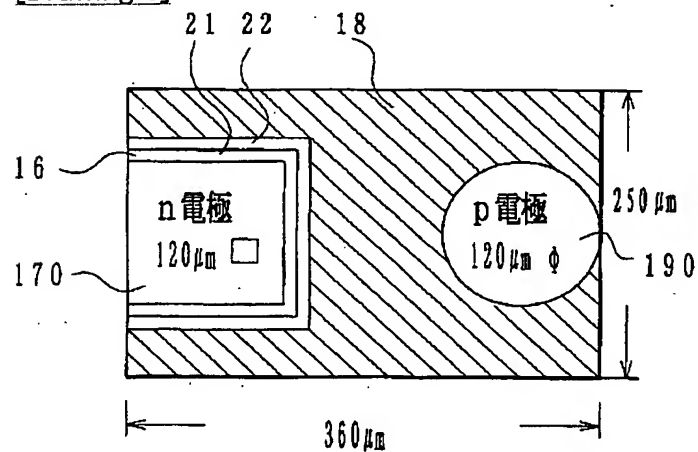
[Drawing 4]



[Drawing 5]

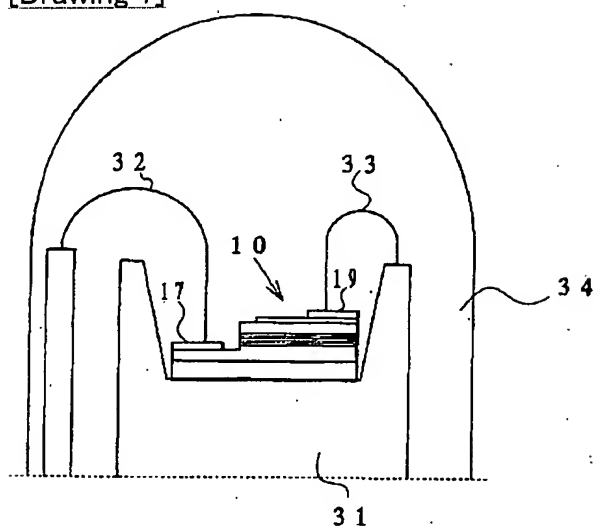


[Drawing 6]

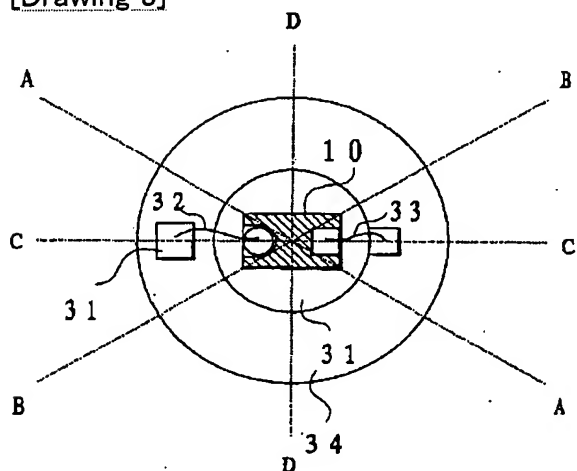


THIS PAGE BLANK (USPTO)

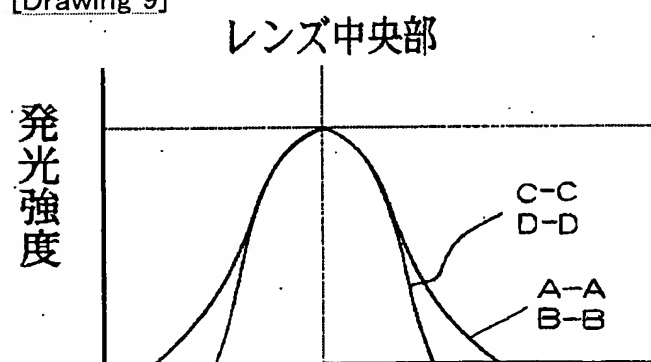
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173230

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁶

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

C

E

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号

特願平8-352156

(22) 出願日

平成8年(1996)12月11日

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1
番地

(72) 発明者 柴田 直樹

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72) 発明者 平野 敦雄

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

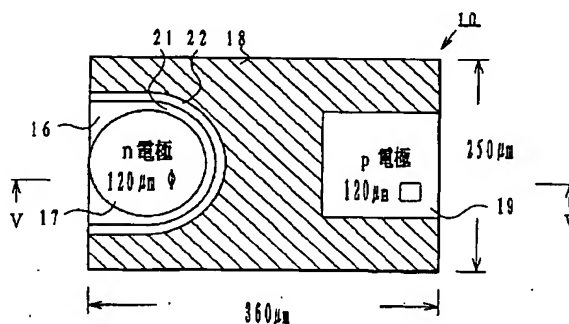
(74) 代理人 弁理士 小西 富雅

(54) 【発明の名称】 発光素子

(57) 【要約】

【課題】 n電極とp電極とが同一面側に形成されている発光素子上において、発光面をできる限り均一に分布させる。

【解決手段】 発光面を略H字形状とし、このH字の窪みの部分の一方にn電極を配置し、他方にp電極を配置する。



【特許請求の範囲】

【請求項1】 n型の第1の半導体層上にn電極が接続され、p型の第2の半導体層上にp電極が接続され、かつ前記n電極とp電極は同一面側に形成される発光素子において、

発光面が略H字形状であり、このH字の窪みの部分の一方に前記n電極が配置され、他方に前記p電極が配置される、

ことを特徴とする発光素子。

【請求項2】 前記発光素子の外郭が実質的に平面視で長方形であることを特徴とする請求項1に記載の発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は発光素子に関する。更に詳しくは、半導体発光素子の電極の構成に関する。

【0002】

【従来の技術】 $Al_xIn_yGa_{1-x-y}N$ ($X=0$ 、 $Y=0$ 、 $X=Y=0$ を含む) からなる3族窒化物半導体は直接遷移型であるので発光効率が高くかつ光の3原色の1つである青色を発光することから、発光素子、例えば発光ダイオードの形成材料として昨今特に注目を集めている。

【0003】発光素子を構成する上記3族窒化物半導体は一般的に絶縁性のサファイア基板の上に形成される。従って、基板側から電極を取り出すことができず、半導体層を形成した面側に一对の電極が形成されることとなる。このように構成された発光素子は、そのチップサイズを小さくできる見地から、基板を下側にしてリードフレームなどの反射板に取り付けられる。そして、上面に配置された一对の電極、即ちn電極及びp電極上にそれぞれワイヤーボンディングが施される。

【0004】また、特開平6-338632号公報にて提案された発明で開示される電極構成によれば、n電極は平面から視て円形であり、p電極は平面から視て正方形である。

【0005】

【発明が解決しようとする課題】しかしながら、昨今では、半導体発光素子の高集積化、即ちチップサイズをより小さくすることが要求されている。一方、ワイヤーボンディングを確実に行うためには、電極に一定の大きさ(例えば、円形の電極では直径100 μm 以上、正方形の電極では一辺100 μm 以上)が要求される。従って、発光素子のチップサイズを小さくすると、発光面がチップ上に偏在するようになる。

【0006】例えば、図1に示す検討例の発光素子1において、ハッチングを施した部分が発光面2である。この検討例の発光素子1は一辺が300 μm の正方形のチップであり、この素子を平面から見たとき相交わる二辺

に挟まれるようにして円形のn電極(直径120 μm)

3が配置され、相交わる他の二辺に挟まれるようにして正方形のp電極(一辺120 μm)4が配置される。図からわかる通り、チップ上面において各電極の占める面積比率が大きいため発光面が偏在する。

【0007】この発光素子は、エポキシレジン等の透明樹脂で形成された半球ないしは弾頭形状のレンズ内にモールドされる(図7参照)。図2は発光素子1をモールドしたレンズ34の平面図である。図3は図2におけるA-A線上及びB-B線上の発光強度のプロファイルを示す。このレンズ34を2次元的に配列してディスプレイ等が形成される。

【0008】しかし、上記の様に発光面が偏在する場合、図2及び3に示すとおり、レンズ34の表面において方向性のある発光強度の偏在が生じる。このような方向性の強い発光強度の偏在はディスプレイの意匠上好ましくない。

【0009】

【課題を解決するための手段】この発明はかかる課題を解決すべくなされたものであり、n型の第1の半導体層上にn電極が接続され、p型の第2の半導体層上にp電極が接続され、かつn電極とp電極は同一面側に形成される発光素子において、発光面が略H字形状であり、このH字の窪みの部分の一方にn電極が配置され、他方にp電極が配置される、ことを特徴とする発光素子である。

【0010】

【発明の作用・効果】上記の様に構成された発光素子によれば、発光面がH字形状にされているので発光面の偏在が緩和され、レンズ上においても、発光強度の偏在が緩和される。また、発光強度の偏在は残るものの、その方向性は大幅に緩和されるので、意匠上好ましいものとなる。

【0011】

【発明の実施の形態】以下、この発明の実施の形態を実施例に基づき図面を参照して説明する。図4はこの発明の実施例の発光ダイオード10の平面図であり、図5は図4におけるV-V線断面図である。図4に示すとおり、発光ダイオード10は平面から視てその外郭が実質的な長方形であり、相対向する短辺のそれぞれ中央に、各短辺に接するようにして、n電極17とp電極19とが形成されている。実質的な発光面となる透光性電極18はn電極17と各長辺の間、及びp電極19と各長辺の間まで回り込んでいる。換言すれば、発光面がH字形状をしており、各電極17、19がH字の一对の窪みの部分に配置される構成である。

【0012】この発光ダイオード10は、図5に示すとおり、サファイア基板11の上に、バッファ層12、n型の第1の半導体層13、超格子構造の発光層14、p型の第2の半導体層15を順次積層した構成である。半

導体層13ないし15は $Al_xIn_yGa_{1-x-y}N$ ($X=0, Y=0, X=Y=0$ を含む)で形成される。 * である。

バッファ層12 : AlN (50nm)
 第1の半導体層13 : Si ドープ GaN (2200nm)
 発光層14 : 量子井戸層; $In_{0.15}Ga_{0.85}N$ (3.5nm)
 バリア層 : GaN (3.5nm)
 量子井戸層及びバリア層の繰り返し数; 5

第2の半導体層15 : Mg ドープ GaN (75nm)

【0014】上記において、 n 型の第1の半導体層13は発光層側の低電子濃度 n 層とバッファ層側の高電子濃度 n^+ 層とからなる2層構造とすることができる。発光層14は超格子構造のものに限定されず、シングルヘテロ型、ダブルヘテロ型及びホモ接合型のものなどを用いることができる。発光層14と p 型の第2の半導体層15との間にマグネシウム等のアクセプタをドープしたバンドギャップの広い $Al_xIn_yGa_{1-x-y}N$ ($X=0, Y=0, X=Y=0$ を含む)層を介在させることができる。これは発光層14中に注入された電子が p 型の第2の半導体層15に拡散するのを防止するためである。 p 型の第2の半導体層15を発光層側の低ホール濃度 p 層と電極側の高ホール濃度 p^+ 層とからなる2層構造とすることができる。

【0015】基板11の上の半導体層12~15は有機金属化合物気相成長法(以下、「MOVPE法」という。)により形成される。この成長法においては、アンモニアガスと3族元素のアルキル化合物ガス、例えばトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)やトリメチルインジウム(TMI)とを適当な温度に加熱された基板上に供給して熱分解反応させ、もって所望の結晶を基板の上に成長させる。MOVPE法を用いたこれら半導体層の形成方法は周知であるのでその具体的な条件の説明は省略する。詳しくは、特開平8-97471公報等を参照されたい。

【0016】上記の様に得た半導体層構造物に反応性イオンエッチングを施して p 型の第2の半導体層15、発光層14及び n 型の第1の半導体層13の一部を除去し、電極形成面16を得る。この電極形成面16は素子を平面から見たときにおいて一の短辺の中央から素子の中心へ延びている。

【0017】その後、 Al (アルミニウム)を蒸着して n 電極17を直径が120 μm の実質的な円形に形成する。 n 電極17の厚さは1.5 μm である。なお、 Al を蒸着する前に下地層として V (バナジウム)、 Nb (ニオブ)、 Zr (ジルコニア)及び Cr (クロム)等を蒸着させておくこともできる。 n 電極17とエッチング壁面との間には10 μm 幅の第1のクリアランス21を設ける。また、 n 電極17はその周縁が素子の一の短辺において実質的な中央部に接するように配置される。これは、 n 電極17により減少する発光面の面積を可及的に小さくするためである。

* 【0013】各半導体層の具体的なスペックは次の通り

【0018】次に、 p 型の第2の半導体層15の上へ透光性電極18を10nmの厚さに蒸着する。なお、透光性電極18とエッチング壁面との間に10 μm 幅の第2のクリアランス22が設けられる。

【0019】そして、透光性電極18の上へ平面から視て一辺が120 μm の実質的な正方形な p 電極19を蒸着する。 p 電極19の厚さは1.5 μm である。 p 電極19はその一辺が素子の他の短辺において中央部に接するように設けられている。これは、電極17、19間の隔たりを大きくし、ボンディング作業を容易にするためである。

【0020】この p 電極19と透光性電極18とは同一の金属材料で形成されることが好ましい。この実施例では Au (金)によりこれらを形成したが、その他に Pt (白金)、 Pd (パラジウム)、 Ni (ニッケル)、 Co (コバルト)及びこれらを含む合金を用いることができる。

【0021】図6は図4の実施例の変形態様を示す。ここにおいて、 n 電極170を実質的な正方形とし、 p 電極190を実質的な円形とする。図6において、図4と同一の部材には同一の図符号を付してその説明を部分的に省略する。図6のように素子を設計すると、図4のものに比べて、透光性電極の面積をより広く取れることとなる。

【0022】 n 電極17と p 電極19の形状は図示した円形又は正方形に限定されない。ワイヤーボンディング作業時の画像処理において、両者の種別及び位置を特定できるものであれば、例えば、各電極の形状を三角形、四角形(長方形、菱形、平行四辺形、台形等)、六角形、又は八角形とすることができる。

【0023】このようにして半導体層の上に n 電極及び p 電極の形成材料を蒸着させ、熱処理をして各電極とする。その後、半導体ウエハを素子毎に切り分けて、所望の発光ダイオードとする。

【0024】この発光ダイオード10は、図7に示すように、基台31に固定され、 n 電極17及び p 電極19に対してそれぞれワイヤー32、33がボンディングされる。その後、モールド成形によりエポキシ樹脂でレンズ34を形成する。

【0025】図8は実施例の発光ダイオード10をモールドしたレンズ34の平面図である。図9は図8におけるA-A線上、B-B線上、C-C線上及びD-D線上

の発光強度のプロファイルを示す。図9からわかるとおり、このレンズ34にもH形状の発光面に対応した発光強度の偏在が生じる。しかし、この発光強度の偏在及びその偏在の方向性は検討例の素子1において現れたそれ(図3参照)よりも小さいものとなる。これは、実施例の素子によれば、発光面が各電極17、19の両サイド(図4において上下)まで回り込んでおり、もって、素子上面において発光面がより均一に分布しているからである。

【0026】また、平面から見たとき素子の外郭を長方形とすることにより、正方形であるものに比べ、n電極とp電極との間隔を広くすることができる。これにより、ボンディング作業を容易にできる。

【0027】この発明は上記発明の実施の形態及び実施例の記載に何ら限定されるものではなく、特許請求の範囲を逸脱しない範囲で当業者が想到し得る種々の変形態様を包含する。例えば、GaAs系半導体を利用すれば、透光性電極を廃止できる。

【図面の簡単な説明】

【図1】図1は検討例の発光素子の平面図である。

【図2】図2は検討例の発光素子がモールドされたレンズの発光状態を示す平面図である。

【図3】図3は検討例の発光素子の発光強度のプロファイルを示す図である。

*

*【図4】図4はこの発明の実施例の発光ダイオードの平面図である。

【図5】図5は同断面図(図4におけるV-V線で示す)である。

【図6】図6はこの発明の変形態様の発光ダイオードの平面図である。

【図7】図7はレンズにモールドされた実施例の発光ダイオードの状態を示す断面図である。

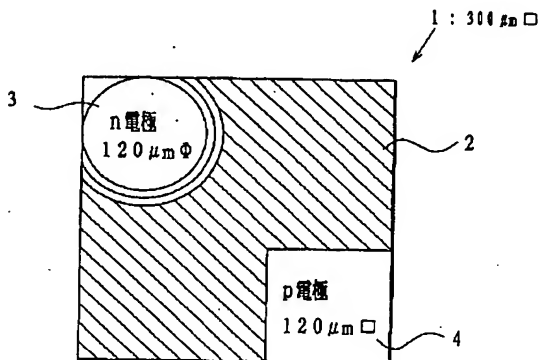
【図8】図8は実施例の発光ダイオードがモールドされたレンズの発光状態を示す平面図である。

【図9】図9は実施例の発光ダイオードの発光強度のプロファイルを示す図である。

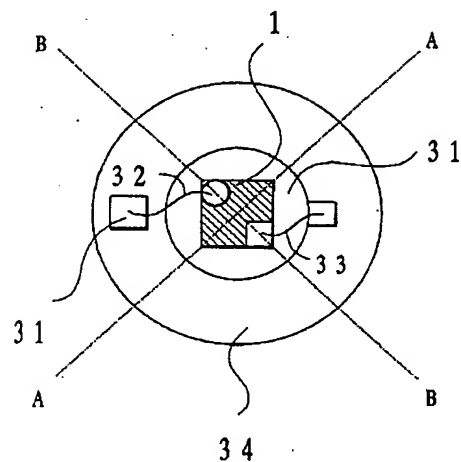
【符号の説明】

- 1、10 発光素子
- 2、18 発光面
- 3、17、170 n電極
- 4、19、190 p電極
- 11 基板
- 12 バッファ層
- 13 n型の半導体層
- 14 発光層
- 15 p型の半導体層
- 18 透光性電極

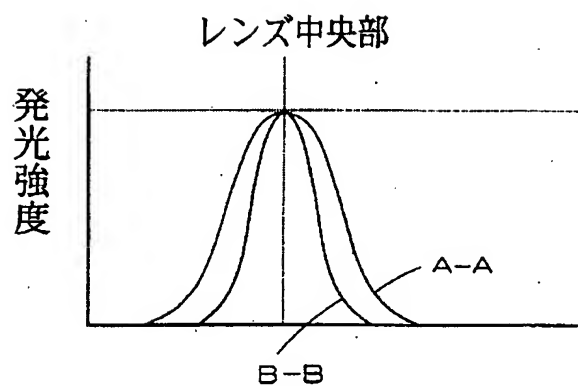
【図1】



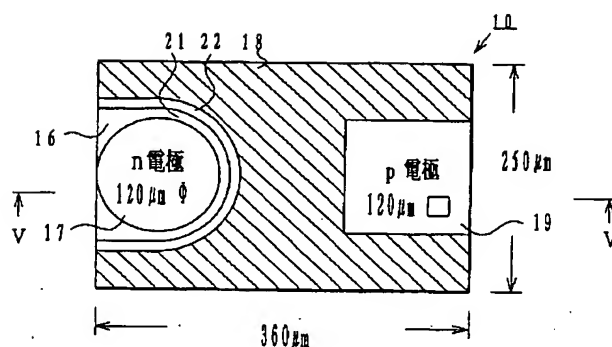
【図2】



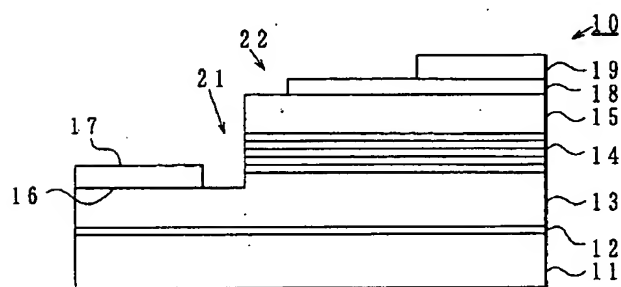
【図3】



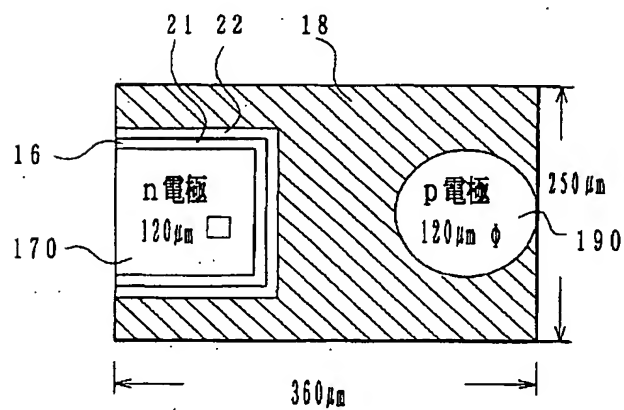
【図4】



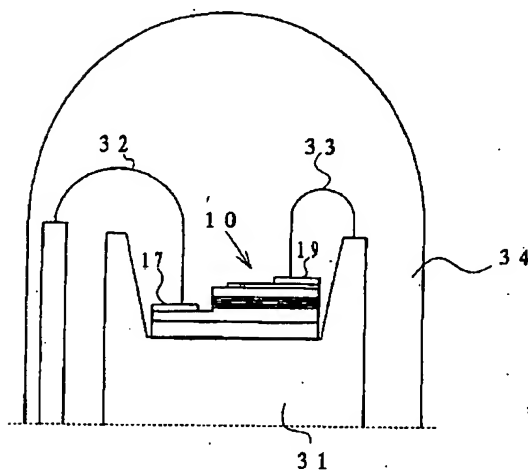
【図5】



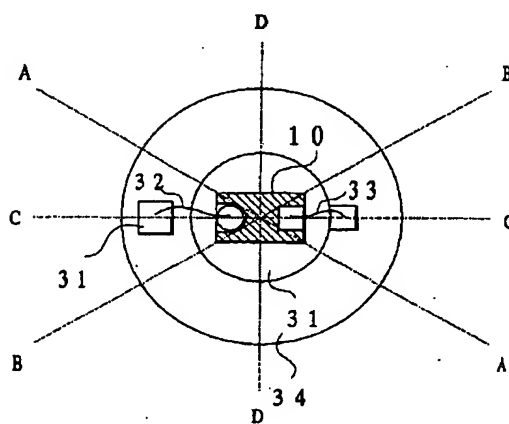
【図6】



【図7】



【図8】



(6)

特開平10-173230

【図9】

